

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09319654 A**(43) Date of publication of application: **12.12.97**

(51) Int. Cl.

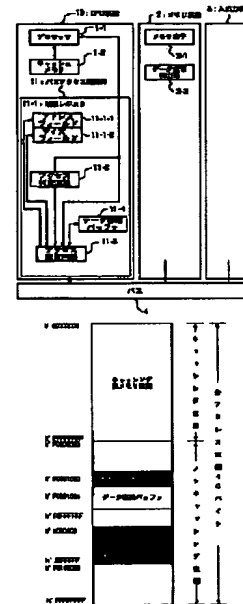
**G06F 12/08**  
**G06F 12/08**
(21) Application number: **08132346**(22) Date of filing: **27.05.96**(71) Applicant: **OKI ELECTRIC IND CO LTD**
 (72) Inventor:  
**MATSUSE TAKASHI**  
**TATEZAWA SHIGERU**  
**KATO ISAO**  
**ITO HISAKAZU**
(54) **COMPUTER SYSTEM**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To directly access a memory device without interposing any cache memory.

**SOLUTION:** A processor 101 outputs an instruction for writing the high-order 12 bits of an address into a control register 11-1 to a bus access control part 11. The bus access control part 11 writes the high-order 12 bits of the address into the control register 11-1. The processor 1-1 outputs an instruction for write into any specified area W inside a non-caching space to the bus access control part 11. The bus access control part 11 discriminates access to the area W and generates the address of a memory device 2 from the address of the area W outputted from the control register 11-1 and the processor 1-1. Then, a control signal for write into the memory device 2 is generated and these control signal, address and data are transferred to a bus 4.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-319654

(43) 公開日 平成9年(1997)12月12日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所	
G06F 12/08	310	7623-5B 7623-5B	G06F 12/08	310	A M

審査請求 未請求 請求項の数 2 O L (全10頁)

(21) 出願番号 特願平8-132346

(22) 出願日 平成8年(1996)5月27日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 松瀬 高志

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 立澤 茂

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 加藤 勲

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人 弁理士 柿本 恭成

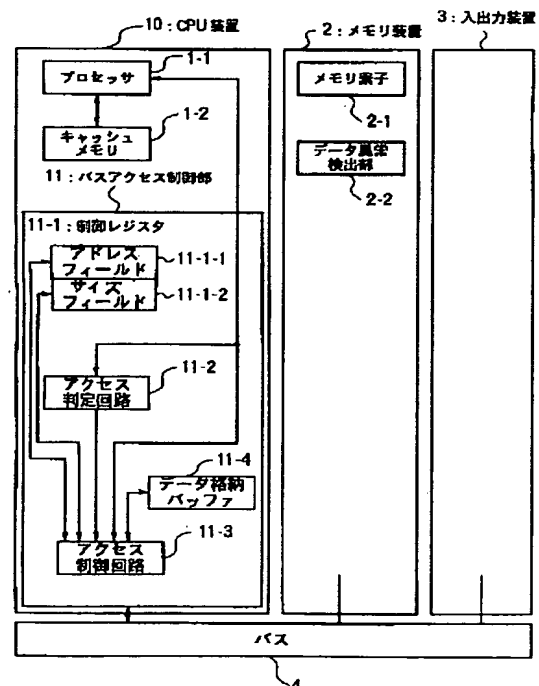
最終頁に続く

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【課題】 キャッシュメモリを介さずに直接メモリ装置にアクセスする。

【解決手段】 プロセッサ1-1は、バスアクセス制御部11に対して、制御レジスタ11-1にアドレスの上位12ビットをライトする命令を出す。バスアクセス制御部11は、制御レジスタ11-1にアドレスの上位12ビットをライトする。プロセッサ1-1は、バスアクセス制御部11に、領域Wにライトする命令をバスアクセス制御部11に出す。バスアクセス制御部11は、領域Wへのアクセスであることを判定して、制御レジスタ11-1とプロセッサ1-1から出力される領域Wのアドレスからメモリ装置2のアドレスを生成する。そして、メモリ装置2にライトする制御信号を生成して、この制御信号、アドレス、及びデータをバス4に転送する。



本発明の実施形態のコンピュータシステム

## 【特許請求の範囲】

【請求項 1】 データを記憶するメモリ装置と、  
コピーバックキャッシュ方式により、前記メモリ装置に  
記憶されたデータ又は前記メモリ装置に記憶するデータ  
を保持するキャッシュメモリと、  
前記メモリ装置とバスにより接続され、前記バスへのア  
クセスを制御するバスアクセス制御部と、  
メモリ空間を前記キャッシュメモリへのアクセスを示す  
キャッシュ有効空間と前記キャッシュメモリ以外へのア  
クセスを示すキャッシュ無効空間に分割し、前記メモリ  
空間にアクセスするアドレスが前記キャッシュ有効空間  
か前記ノンキャッシング空間かを判別して、前記アドレ  
スが前記キャッシュ空間であれば、前記キャッシュメモ  
リに対するアクセスをし、前記アドレスが前記キャッシ  
ュ無効空間であれば、前記バスアクセス制御部へ前記リ  
ード又はライトの制御信号、前記アドレス、及びライト  
の場合はデータを出力し、データ処理をするデータ処理  
装置とを備えたコンピュータシステムにおいて、  
前記キャッシュ無効空間内の第 1 の特定の領域にアドレ  
ス空間が割り当てられ前記キャッシュ空間のアドレスを  
示す情報を格納するための記憶回路を設け、  
前記バスアクセス制御部は、  
前記データ処理装置から出力される前記アドレスの上位  
ビットもしくは全ビットを入力して、前記アドレスが前  
記キャッシュ無効空間内の第 2 の特定の領域であるか否  
かを示す判別信号を生成するアクセス判定手段と、  
前記データ処理装置から出力される前記アドレス及び前  
記リード又はライトの制御信号を入力して、前記記憶回  
路へのライトを示す時は、前記データ処理装置から出力  
される前記データを前記記憶回路にライトし、前記判定  
信号が前記第 2 の特定の領域へのアクセスを示す時は、  
前記記憶回路の内容に基づいて前記メモリ装置のアドレ  
スを生成するとともに、前記データ処理装置より出力さ  
れるリード又はライトの制御信号から前記メモリ装置に  
リード又はライトするための制御信号を生成して、前記  
バスに出力するアクセス制御手段とを、  
備えたことを特徴とするコンピュータシステム。

【請求項 2】 データを記憶するメモリ装置と、  
コピーバックキャッシュ方式により、前記メモリ装置に  
記憶されたデータ又は前記メモリ装置に記憶するデータ  
を保持するキャッシュメモリと、  
前記メモリ装置とバスにより接続され、前記バスへのア  
クセスを制御するバスアクセス制御部と、  
メモリ空間を前記キャッシュメモリへのアクセスを示す  
キャッシュ有効空間と前記キャッシュメモリ以外へのア  
クセスを示すキャッシュ無効空間に分割し、アクセスす  
るアドレスが前記キャッシュ有効空間か前記ノンキャッシ  
ング空間かを判別して、前記アドレスが前記キャッシ  
ュ空間であれば、前記キャッシュメモリに対するアクセ  
スをし、前記アドレスが前記キャッシュ無効空間であれ

ば、前記バスアクセス制御部へ前記リード又はライトの  
制御信号、前記アドレス、及びライトの場合はデータを  
出力して、データ処理をするデータ処理装置とを備えた  
コンピュータシステムにおいて、  
前記キャッシュ無効空間内の第 1 の特定の領域にアドレ  
ス空間が割り当てられ前記アドレスを示す情報を格納す  
るための第 1 の記憶回路と、  
前記キャッシュ無効空間内の第 2 の特定の領域にアドレ  
ス空間が割り当てられデータのサイズを格納するための  
第 2 の記憶回路と、  
前記キャッシュ無効空間内の第 3 の特定の領域にアドレ  
ス空間が割り当てられ前記メモリ装置からリードした又  
は前記メモリ装置にライトするデータを格納するための  
第 3 の記憶回路とを設け、  
前記バスアクセス制御部は、  
前記データ処理装置から出力される前記アドレスの上位  
ビットもしくは全ビットを入力して、前記アドレスが前  
記キャッシュ無効空間内の第 4 の特定の領域であるか否  
かを示す判定信号を生成するアクセス判定手段と、  
前記データ処理装置から出力される前記アドレス及び前  
記リード／ライトの制御信号を入力して、前記第 1 の記  
憶回路、前記第 2 の記憶回路、又は前記第 3 の記憶回路  
へのライトを示す時は、前記データ処理装置から出力さ  
れる前記データを前記第 1 の記憶回路、前記第 2 の記憶  
回路、又は前記第 3 の記憶回路にライトし、前記判定信  
号が前記第 4 の特定の領域へのアクセスを示す時は、前  
記第 1 の記憶回路の内容に基づいてアドレスを生成する  
とともに、前記第 2 の記憶回路の内容が示す前記バスへ  
アクセスするデータのサイズ情報と前記データ処理装置  
より出力されるリード／ライトの制御信号とから前記第  
3 の記憶回路にアクセスするための制御信号と前記メモ  
リ装置にリード又はライトするための制御信号とを生成  
して、前記バスに出力するアクセス制御手段とを、  
備えたことを特徴とするコンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、コピーバック（ラ  
イトバック）方式のキャッシュメモリを搭載したコンピ  
ュータシステムに関するものであり、特に、メモリ装置  
の初期化に関するものである。

## 【0002】

【従来の技術】コンピュータシステムでは、高速なキャ  
ッシュメモリを搭載して、キャッシュメモリにリード／  
ライトデータがあれば（以下、ヒットと呼ぶ）キャッシ  
ュメモリに対してデータのリード／ライトをして処理の  
高速化を図っている。図 2 は、従来のコンピュータシ  
ステムの構成図である。図 2 に示すように、従来のコンピ  
ュータシステムは、中央処理装置（以下、CPU 装置と  
呼ぶ）1 とメモリ装置 2 と入出力装置 3 より構成されて  
おり、CPU 装置 1、メモリ装置 2、及び入出力装置 3

は、バス4を介して接続されている。CPU装置1は、プロセッサ1-1、キャッシュメモリ1-2、及びバスアクセス制御部1-3を有している。プロセッサ1-1は、命令コードをデコードして、演算処理などを行うものであり、キャッシュメモリ1-2は、メモリ装置2内のデータの一部のコピーを保持する小容量の高速メモリであり、プロセッサ1-1からのメモリ装置2に対するアクセス要求に対して、キャッシュメモリ1-2内に対象データが存在する場合には低速なメモリ装置2へのアクセスが不要となるため、全体としての処理能力の向上をもたらすものである。

【0003】メモリ装置2は、メモリ素子2-1、データ異常検出部2-2、及び初期化ハードウェア2-3を有している。メモリ素子2-1は、冗長データ（パリティデータ、CRCデータ）で構成した実行プログラムやプログラムで使用するデータなどを記憶するためのメモリである。データ異常検出部2-2は、メモリ素子2-1にデータを記憶する際に冗長データを生成して、データとともに記憶しておき、データをリードする際に、冗長データとデータからデータの正常、異常をチェックをする回路である。初期化ハードウェア2-3は、メモリ素子2-1に記憶するデータを初期化するための回路である。

【0004】以下、図2の動作の説明をする。プロセッサ1-1がメモリ装置2に対してリードアクセスを行う際に、対象となるデータがキャッシュメモリ1-2の中に存在していれば（この場合を「キャッシュにヒットした」という）、キャッシュメモリ1-2からのリード操作だけで済まされ、メモリ装置2へのアクセスは実際には発生しない。目的のデータがキャッシュメモリ1-2中に存在しないとき（この場合を「キャッシュにミスヒットした」という）は、メモリ装置2に対してアクセスする必要があるため、プロセッサ1-1は、バスアクセス制御部1-3に対してリード要求が出す。要求を受けたバスアクセス制御部1-3は、バス4を使用してメモリ装置2に対してリードを行う。結果としてメモリ装置2から返されたリードデータはキャッシュメモリ1-2内に格納された後（または格納と同時に）プロセッサ1-1に渡される。キャッシュメモリ1-2内にデータが格納されたことで、次に同じデータがアクセス対象となった際の読み出しが高速に実施可能となる。

【0005】メモリライトにおいて、キャッシュにヒットしたときの動作は、コピーバック方式のキャッシュメモリ1-2では、キャッシュメモリ1-2内のデータのみを書き換え、メモリ装置2内のデータのその時点では書き換えない（バスアクセス制御部1-3に対して、ライトの要求は出さない）。キャッシュメモリ1-2内に保持できるデータ量は限られているため、新しいデータをキャッシュメモリ1-2に格納する要求が生じた場合には、現在保持しているデータの一部をキャッシュメモ

リ1-2から追い出す必要が生じる。このキャッシュメモリ1-2から追い出す対象となったデータが既に書き換えられておりメモリ装置2内のデータ内容と異なっている場合は、そのキャッシュメモリ1-2内のデータはメモリ装置2に書き戻された後、キャッシュメモリ1-2内のエントリから削除される。メモリライトにおいて、キャッシュミスが発生した場合には、ライト動作の前に、メモリ装置2の対象データをキャッシュメモリ2に取り込むためのメモリ装置2からのリードが必ず実行され、キャッシュメモリ1-2にデータを登録した後、上記同様にキャッシュメモリ1-2内のデータのみ書き換える。このように、コピーバック方式のキャッシュメモリ1-2では、ライト動作により変更を受けたキャッシュメモリ1-2内のデータがメモリ装置2の内容に反映されるタイミングは、ライト動作の時ではなく、そのデータがキャッシュメモリ1-2内から追い出されるタイミングである。

【0006】従来、この種のコピーバック方式のキャッシュメモリ1-2を有するコンピュータシステムでは、全アドレス空間を大部分のキャッシュ有効空間（以下、キャッシング空間と呼ぶ）と小領域のキャッシュ無効空間（以下、ノイキャッシング空間と呼ぶ）に分けられており、キャッシング空間にメモリ素子2-1などを割り当てて高速化を図り、制御レジスタなどをノンキャッシング空間に割り当てている。プロセッサ1-1によるキャッシング空間に対するアクセスが発生した場合は、必ず、キャッシュメモリ1-2の内容をチェックしデータの登録有無を確認するが、ノンキャッシング空間に対するアクセスは、キャッシュメモリ1-2に対する登録の有無のチェックは行わず、必ず、バスアクセス制御部1-3に要求を出し、バスサイクルを発生させる。メモリ装置2の初期化処理をソフトウェアによって実施しようとする場合、初期化のためにメモリ装置2に対してライトしようとしても、キャッシュメモリ1-2が搭載されていることにより、ライトの前に必ずリード動作が発生してしまうが、電源投入時にはメモリ装置2内の冗長データを含めたデータがメモリ素子2-1に正しく記憶されている保証がないため、そのリードの時点でデータ異常検出部2-2が異常を検出してしまうという問題点がある。

【0007】従来は、上記問題を避けるためにメモリ初期専用の初期化ハードウェア2-3をメモリ装置2内に設け、メモリ初期化処理を行わせるようにしている。また、従来この種のキャッシュメモリ1-2では、ある程度まとまったデータ量（例えば、32バイト）を1つの単位（以下、ブロックと呼ぶ）としてキャッシュメモリ1-2に登録していることが多い。この場合、プロセッサ1-1からのアクセスでキャッシュミスを起こした場合、上記で記述したようにメモリリードが発生するが、この時バスアクセス制御部1-3とメモリ装置2の間の

データ転送量は、キャッシュメモリ1-2の1ブロックに相当する32バイトとなる。ブロックサイズはキャッシュメモリ1-2の格納最小単位であり、プロセッサ1-1で1回のデータ転送で扱えるデータ量（データバス幅、例えば、4バイト）より大きいことで、メモリ装置2へのアクセス回数を減らすことができ、性能向上を図っている。

【0008】なお、キャッシュメモリ1-2の処理対象外となるノンキャッシング空間に対するアクセスでは、プロセッサ1-1が扱える範囲内での指定転送サイズでバス4に要求を送出する。また、この種のキャッシュメモリ1-2を有さない入出力装置3などでは、上記ブロックサイズより小さい単位（例えば、4バイト）でデータ転送をすることが多い。これら転送量の異なる複数のデータ処理装置からのメモリアクセスが発生する場合、メモリ装置2またはバス制御部1-3により、32バイトと4バイトの両方のデータ転送要求を区別して、それぞれに対応した動作することになる。

#### 【0009】

【発明が解決しようとする課題】しかしながら、従来のコンピュータシステムにおいては、以下のような課題があった。電源投入直後時などのメモリ装置2の初期化という発生頻度の低い事象に対して専用のハードウェアを有してハードウェアの増大を招いていた。また、メモリ装置2に対する転送単位が異なる複数のデータ処理装置（例えば、4バイトの入出力装置3）とメモリ装置2間で起こるデータ転送におけるメモリ装置2の正常動作を確認する場合、転送単位の異なる全てのデータ転送処理装置によるアクセスを実施しないと確認できなかった。

#### 【0010】

【課題を解決するための手段】本発明は、前記課題を解決するために、データを記憶するメモリ装置と、コピーバックキャッシュ方式により、前記メモリ装置に記憶されたデータ又は前記メモリ装置に記憶するデータを保持するキャッシュメモリと、前記メモリ装置とバスにより接続され、前記バスへのアクセスを制御するバスアクセス制御部と、メモリ空間を前記キャッシュメモリへのアクセスを示すキャッシュ有効空間と前記キャッシュメモリ以外へのアクセスを示すキャッシュ無効空間に分割し、前記メモリ空間にアクセスするアドレスが前記キャッシュ有効空間か前記ノンキャッシング空間かを判別して、前記アドレスが前記キャッシュ空間であれば、前記キャッシュメモリに対するアクセスをし、前記アドレスが前記キャッシュ無効空間であれば、前記バスアクセス制御部へ前記リード又はライトの制御信号、前記アドレス、及びライトの場合はデータを出力し、データ処理をするデータ処理装置とを備えたコンピュータシステムにおいて、以下の手段を設けている。

【0011】すなわち、前記キャッシュ無効空間内の第1の特定の領域にアドレス空間が割り当てられ前記キャ

ッシュ空間のアドレスを示す情報を格納するための記憶回路を設けている。そして、前記バスアクセス制御部は、前記データ処理装置から出力される前記アドレスの上位ビットもしくは全ビットを入力して、前記アドレスが前記キャッシュ無効空間内の第2の特定の領域であるか否かを示す判別信号を生成するアクセス判定手段と、前記データ処理装置から出力される前記アドレス及び前記リード又はライトの制御信号を入力して、前記記憶回路へのライトを示す時は、前記データ処理装置から出力される前記データを前記記憶回路にライトし、前記判定信号が前記第2の特定の領域へのアクセスを示す時は、前記記憶回路の内容に基づいて前記メモリ装置のアドレス及び前記データ処理装置より出力されるリード又はライトの制御信号から前記メモリ装置にリード又はライトするための制御信号を生成して、前記バスに出力するアクセス制御手段とを備えている。

【0012】以上のようにコンピュータシステムを構成したので、記憶回路にキャッシング空間へアクセスするためのアドレスの一部もしくは全てをセーブしておき、ノンキャッシング空間の特定の領域にアクセスする命令をプロセッサが実行する。アクセス判定手段は、特定の領域へのアクセスを示す判定信号を生成して、アクセス制御手段は、判定信号から記憶回路にセーブされてアドレスとプロセッサから出力されるアドレスとによりメモリ装置にアクセスするアドレスを生成する。これにより、メモリ装置に直接ライトが可能となる。

#### 【0013】

【発明の実施の形態】図1は、本発明の実施形態のコンピュータシステムの構成図であり、従来の図2中の要素と共通の要素には共通の符号を付してある。図1に示すように、本実施形態のコンピュータシステムは、CPU装置10、メモリ装置2、及び入出力装置3により構成されている。CPU装置10、メモリ装置2、及び入出力装置3の間は、バス4により接続されている。CPU装置10は、プロセッサ1-1、キャッシュメモリ1-2、及びバスアクセス制御部11を有している。プロセッサ1-1とキャッシュメモリ1-2との間は複数の信号線により接続されている。プロセッサ1-1とバスアクセス制御部11との間は、プロセッサバスにより接続されている。バスアクセス制御部11は、制御レジスタ11-1、アクセス判定回路11-2、アクセス制御回路11-3、及びデータ格納バッファ11-4（第3の制御回路）を有している。

【0014】アクセス判定回路11-2及びアクセス制御回路11-3とプロセッサ1-1との間は、プロセッサバスにより接続されている。アクセス判定回路11-2とアクセス制御回路11-3は、1本の信号線により接続されている。アクセス制御回路11-3とデータ格納バッファ11-4との間は、複数の信号線により接続されている。制御レジスタ11-1とアクセス制御回路

11-3との間は、複数の信号線により接続されている。制御レジスタ11-1は、後述するノンキャッシング空間の特定の領域にアドレスマップされ、アクセス制御回路11-3によりアクセスされる、例えば、13ビットの記憶回路であり、アドレスフィールド11-1-1（第1の記憶回路）とサイズフィールド11-1-2（第2の記憶回路）より構成されている。アドレスフィールド11-1-1は、キャッシング空間のアドレスの上位ビットの設定値を保存するためのフィールドであり、例えば、12ビットのフィールドとしている。

【0015】サイズフィールド11-1-2は、バスアクセスサイズの設定値を格納するフィールドであり、例えば、1ビットのフィールドとし、ビットが立っているときは、メモリ装置2に対する32バイトのデータ転送量を示し、そうでない場合は、4バイトの転送量を示すものとする。アクセス判定回路11-2は、プロセッサ1-1より出力されるアドレスが後述するノンキャッシング空間内の特定の領域Wに対するアクセスかどうかを判定して、判定信号を出力するアクセス判定手段である。アクセス制御回路11-3は、アドレスデコーダ、アドレス生成回路、及びリード/ライト制御信号生成回路を有している。アドレスデコーダは、プロセッサバスより出力されるアドレスをデコードして、制御レジスタ11-1、データ格納バッファ11-4などの記憶回路にリード/ライトするためのイネーブル信号を生成する機能を有している。アドレス生成回路は、判定信号が領域Wへのアクセスを示す時に、制御レジスタ11-1のアドレスフィールド11-1-1とプロセッサバスから出力されるアドレスからメモリ装置2のアドレスを生成し、アドレスデコーダの出力信号がキャッシング空間へのアクセスを示す時は、プロセッサバスから出力されるアドレスからメモリ装置2のアドレスを生成する回路である。

【0016】リード/ライト制御信号生成回路は、判定信号とプロセッサバスからリード/ライトの制御信号とを入力して、判定信号が領域Wへのアクセスを示す時には、制御レジスタ11-1のサイズフィールド11-1-2の値から4バイトアクセス/32バイトアクセス用のリード/ライトの制御信号を生成してバス4に出力し、4バイトアクセスの時は、プロセッサバスからデータを入力してバス4にライト又はメモリ装置2からデータを入力してプロセッサバスにライトし、32バイトアクセスの時は、データ格納バッファ11-4から32バイトデータをリードして、バス4に32バイトデータをライト又はメモリ装置2から32バイトデータをリードして、データ格納バッファ11-4にライトする回路である。

【0017】さらに、リード/ライト制御信号生成回路は、キャッシング空間へのアクセスを示す時は、キャッシュアクセスのリード/ライトの制御信号を生成してバ

ス4に出力し、プロセッサバスからデータを入力してバス4にライト又はメモリ装置2からデータを入力してプロセッサバスにライトする回路である。データ格納バッファ11-4は、ノンキャッシング空間の最大データ転送量より大きい転送量を制御レジスタ11-1のサイズフィールド11-1-1で指定した場合に使用するデータ格納用バッファである。このデータ格納バッファ11-4は、メモリライト時には領域Wに対するアクセス実施前に対象メモリアドレスに書き込むデータを予め格納する用途に、またリード時には領域Wに対するアクセス実施後、メモリ装置2から返されるリードデータを保持する用途に使用する。

【0018】図3は、本実施形態のコンピュータシステムのメモリマップを示す図である。コンピュータシステムには、キャッシュメモリへのアクセスを示すキャッシュ空間とキャッシュメモリ以外のメモリにアクセスするためのノンキャッシング空間に分割される。キャッシング空間は、例えば、コンピュータシステムのアドレス空間を32バイトのアドレスで示す4Gバイトであるとする、例えば、h'00000000(h'はヘキサを示す)~h'FFFFFFFFとし、ノンキャッシング空間は、h'F0000000~h'FFFFFFFFとする。このようにキャッシング空間とノンキャッシング空間にマップした時には、上位4ビットがh'Fであれば、ノンキャッシング空間へのアクセスを示し、上位4ビットがh'F以外であれば、キャッシング空間であるとして、プロセッサ1-1は、命令デコーダにより判別して、キャッシング空間へのアクセスなのかノンキャッシング空間へのアクセスなのかを制御している。ノンキャッシング空間には、バスアクセス制御部11内の制御レジスタ11-1及びデータ格納バッファ11-4は、特定のアドレス空間、例えば、制御レジスタ11-1は、h'F0001000、データ格納バッファ11-4は、h'F0001004としている。さらに、ノンキャッシング空間には、メモリ装置2に対して、キャッシュメモリ1-2へアクセスせずに直接アクセスするため仮想的なアドレス空間（以下、領域Wと呼ぶ）が特定のアドレス空間、例えば、h'F30000000~h'F30FFFFFFまでの1Mバイトの領域がマップされている。

【0019】以下、これらの図を参照しつつ、図1の動作(a)~(d)の説明をする。

(a) メモリ装置2の初期化

まず、メモリ装置2をソフトウェアにより初期化するために、以下のソフトウェアを用意する。

- ・メモリ装置2にバスアクセスするサイズ（ここでは、4バイトアクセスなのでb0（bはビットを示す））の1ビットと初期化したいメモリ装置2の領域のアドレスの上位12ビットを、制御レジスタ11-1にライト（ストア）する命令（ステップ1）

- ・領域Wへのアクセスを示すアドレス（例えば、上位12ビットが'hF30、下位20ビットがメモリ装置2のア

10

20

30

40

50

ドレス) 領域に初期化データをライトする命令 (ステップ 2)

・上記のステップ 1 及びステップ 2 をメモリ装置 2 の初期化したい領域に対して、繰り返すステップ

CPU 装置 10 は、上記ソフトウェアを実行する。プロセッサ 1-1 は、ステップ 1 の命令をリードして、命令をデコードする。命令コードが示すアドレスは、ノンキャッシング空間へのアクセスなので、プロセッサ 1-1 は、プロセッサバスにそのアドレス (制御レジスタ 11-1 のアドレス (h'F0001000))、命令コードが示すデータ (バスサイズを示す 1 ビット ('b1') とアドレスの上位 12 ビット)、及びライトを指示する制御信号をプロセッサバスに出力する。

【0020】アクセス判定回路 11-2 は、プロセッサバスから上位 12 ビットを入力して、領域 W を示すアドレス 'hF30 と比較する。制御レジスタ 11-1 のアドレスなので、領域 W へのアクセスではないことを示す判定信号 (例えば、ロウレベル) を出力する。アクセス制御回路 11-3 中のアドレスデコーダは、プロセッサバスよりアドレスを入力して、アドレスをデコードして、アドレスが示す記憶回路にリード/ライトするための制御信号を出力する。アドレスが制御レジスタ 11-1 なので、制御レジスタ 11-1 にキャッシング空間のアドレスの上位 12 ビット及びバスサイズ 'b0 をライトする。プロセッサ 1-1 は、ステップ 2 の命令をリードして、命令をデコードする。命令コードが示すアドレスは、ノンキャッシング空間へのアクセスなので、プロセッサ 1-1 は、プロセッサバスにそのアドレス、命令コードが示す初期化したい 4 バイトのデータ、及びライトを指示する制御信号をプロセッサバスに出力する。

【0021】アクセス判定回路 11-2 は、アドレスが領域 W へのアクセスなので、領域 W へのアクセスを示す判定信号 (例えば、ハイレベル) を出力する。アクセス制御回路 11-3 中のアドレス生成回路は、判定信号が領域 W へのアクセスを示すので、制御レジスタ 11-1 のアドレスフィールド 11-1-1 から 12 ビットの設定値を入力し、プロセッサバスより下位 20 ビットを入力して、これらの 32 ビットを結合して、メモリ装置 2 のアドレスを生成して、バス 4 に転送する。例えば、制御レジスタ 11-1 のアドレスフィールド 11-1-1 に 'h0A が格納されている状態で、プロセッサ 1-1 から 'hF3012348 をライトアクセスした場合、アクセス対象アドレスは、'h0AB12348 となる。さらに、アクセス制御回路 11-3 中のリード/ライト制御信号生成回路は、サイズフィールド 11-1-2 の値をチェックして、4 バイトアクセスなのか 32 バイトアクセスなのかを判別する。リード/ライト制御信号生成回路は、サイズフィールド 11-1-2 の値が 4 バイトアクセスを示すので、プロセッサバスよりライト制御信号を入力して、4 バイトバスアクセスのライト制御信号を生成し、プロセ

ッサバスから入力した、4 バイトの初期化データとともにバス 4 に送出して、バスサイクルに入る。メモリ装置 2 は、バス 4 より初期化データ、アドレス、及びライト制御信号を入力して、データ異常検出部 2-2 で、初期化データから、冗長データ (例えば、パリティデータ、又は CRC データ) を生成して、初期化データとともに冗長データをメモリ素子 2-1 にライトする。

【0022】以上の処理を繰り返すことにより、メモリ装置 2 へキャッシュメモリ 1-2 へアクセスすることなく初期化データが直接ライトされる。上記動作において、プロセッサ 1-1 が直接アクセスしているアドレス空間は、全てノンキャッシング空間であるため、キャッシュメモリ 1-2 の処理対象として認識せず、従って、従来の問題となっていたキャッシュミス時のリード動作は発生しない。また、メモリ装置 2 へ直接リードする場合は、上記ソフトウェアの命令の中で、ライト命令をリード (ロード) 命令にすれば、アクセス制御回路 11-3 からメモリ装置 2 へリードして、プロセッサバスを介して、プロセッサ 1-1 に送信される。つまり、キャッシュメモリ 1-2 にアクセス対象データが登録されていても、メモリ装置 2 のデータを直接読み出すことが可能となる。

【0023】(b) 32 バイトライト

32 バイトライトする場合は、以下のソフトウェアを用意する。

・データ格納バッファ 11-4 へデータをライトする命令 (ステップ 11) (例えば、4 バイトずつ 8 回ライトする)

・メモリ装置 2 にバスアクセスするサイズ (32 バイト、アクセスなので 'b1) とメモリ装置 2 の領域のアドレスの上位 12 ビットとを、制御レジスタ 11-1 にライト (ストア) する命令 (ステップ 12)

・領域 W へのアクセスを示すアドレス (例えば、上位 12 ビットが 'hF30、下位 20 ビットがメモリ装置 2 のアドレス) にデータをライトする命令 (ステップ 13)

プロセッサ 1-1 は、ステップ 11 の命令をリードして、命令をデコードする。命令コードが示すアドレスは、ノンキャッシング空間へのアクセスなので、プロセッサ 1-1 は、プロセッサバスにそのアドレス、命令コードが示す 4 バイトのデータを示す 1 ビットとアドレスの上位 12 ビット、及びライトを指示する制御信号をプロセッサバスに出力する。

【0024】アクセス判定回路 11-2 は、アドレスが領域 W へのアクセスを示さないで、領域 W へのアクセスではないことを示す判定信号を出力する。アクセス制御回路 11-3 は、上述したと同様にして、プロセッサバスよりアドレスを入力して、アドレスをデコードし、アドレスが示すデータ格納バッファ 11-4 にデータをライトする。プロセッサ 1-1 及びバスアクセス制御部 11 は、上述したステップ 1 と同様にして、ステップ 1

2を実行して、制御レジスタ11-1のアドレスフィールド11-1-1に、メモリ装置2のアドレスの上位12ビットをライトし、サイズフィールド11-1-2にサイズ'b1'をライトする。プロセッサ1-1は、ステップ13の命令をリードして、命令をデコードする。命令コードが示すアドレスは、ノンキャッシング空間へのアクセスなので、プロセッサ1-1は、プロセッサバスにそのアドレス、及びライトを指示する制御信号をプロセッサバスに出力する。

【0025】アクセス判定回路11-2は、アドレスが領域Wへのアクセスなので、領域Wへのアクセスを示す判定信号を出力する。アクセス制御回路11-3中のリード/ライト制御信号生成回路は、サイズフィールド11-1-2の値が32バイトアクセスを示すので、プロセッサバスよりライト制御信号を入力して、32バイトバスアクセスのライト制御信号を生成し、プロセッサバスから出力されるデータではなくデータ格納バッファ11-4に格納されている32バイトのデータを入力する。そして、ライト制御信号及び32バイトデータをバス4に転送してバスサイクルに移る。メモリ装置2は、バス4より32バイトデータ、アドレス、及び32バイトのライト制御信号を入力して、メモリ素子2-1にデータをライトする。

【0026】(c) 32バイトリード  
32バイトリードする場合は、以下のソフトウェアを用意する。

- ・領域Wへのアクセスを示すアドレス（例えば、上位12ビットが'hF30'、下位20ビットがメモリ装置2のアドレス）にデータをリードする命令（ステップ21）
- ・領域Wへのアクセスを示すアドレス（例えば、上位12ビットが'hF30'、下位20ビットがメモリ装置2のアドレス）にデータをリードする命令（ステップ22）
- ・データ格納バッファ11-4からデータをリードする命令（ステップ23）（例えば、4バイトずつ8回リードする）

ステップ21～ステップ23の処理は、(c)と同様であり、ライトがリードに変わったことのみである。このようにして、プロセッサ1-1からのノンキャッシング空間に対する4バイトアクセスを、バスアクセス制御部11にてメモリ装置2に対する32バイトのアクセスに変換することで、システム内で規定している全ての転送量でのデータ転送が可能となる。

【0027】(d) キャッシュメモリ1-2へのアクセス

プロセッサ11-1はキャッシング領域のメモリのアドレスへのライト/リードを示す時は、キャッシュメモリ1-2にメモリ装置2のアドレス及びライト/リード制御信号をキャッシュメモリ1-2に出力する。キャッシュメモリ1-2は、ヒットしていれば、キャッシュメモリ1-2に対するライト/リードを行う。ミスヒットで

あれば、キャッシュメモリ1-2は、プロセッサ1-1にミスヒットを通知する。プロセッサ1-1は、バスアクセス制御部11に対して、キャッシング空間へのアクセスを示すアドレス、リード/ライトの制御信号、及びライトの場合は32バイトのデータをプロセッサバスに出力する。アクセス判定回路11-2は、アドレスがキャッシング空間なので、キャッシング空間へのアクセスを示す判定信号を出力する。アクセス制御回路11-3は、アドレスがキャッシング空間なので、プロセッサバスからアドレス、リード/ライトの制御信号、及びライトの場合は、32バイトデータを入力して、アドレス、32バイトリード/ライトの制御信号、及びライトの場合は、データをバス4に転送して、バスサイクルに移る。

【0028】以上説明したように、本実施形態では、次のような利点(i)～(iv)がある。

(i) 本実施形態によれば、コピーバック方式のキャッシュメモリが搭載されていることによって発生するソフトウェアによるメモリ装置2の初期化を阻害する要因を回避できるので、初期化処理がソフトウェアにより容易に実施でき、初期化専用ハードウェアが不要となることで、低価格なハードウェアを提供することができる。

(ii) キャッシュメモリ1-2と連動しない形でメモリ装置2に対する保守アクセスも可能となる。また、キャッシュメモリ1-2の内容を変化させることなく、メモリ装置2内のデータのみを更新することが可能となり、キャッシュメモリ1-2のミスヒット時のキャッシュメモリ1-2とバスアクセス制御部11間の正常動作確認にも利用できる。

(iii) メモリ装置2の内容をこのメモリ装置2に対する転送サイズを指定して書き換えることが可能であり、この状況はバス4に接続された他の入出力装置3によりメモリ装置2のデータが書き換えられる状況と同じであるため、入出力装置2が接続されてなくても、その動作を模擬することが可能となり、このことを利用したメモリ装置2の正常動作の確認が容易に実施できる。同様に、入出力装置2とメモリ装置2間のデータ転送にて障害が発生した場合の障害の切り分けにも利用できる。

(iv) 自装置のキャッシング空間アクセスのブロック単位でのバスアクセス制御部11とメモリ装置2間のデータ転送の動作も模擬可能となり、自装置キャッシング空間に対するアクセス時のバスアクセス制御部11とメモリ装置2間の正常動作の確認が可能となることで、データ転送障害などの異常が発生した場合の障害箇所の特定化などにも効果が期待できる。

【0029】なお、本発明は、上記実施形態に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) メモリマップは、キャッシング領域とノンキャッシング領域に分かれていて、メモリ装置2はキャッシ



ング領域にマッピングされ、領域Wはノンキャッシング領域にマッピングすればよく、その他の空間及びアドレス値そのものは他の値であってもよい。

(2) 領域Wのエリアを小さくしてそれに対応する形で制御レジスタ11-1のアドレスフィールド幅を広げても良いし、逆に領域を広げてアドレスフィールドを減らしてもよい。

(3) アクセスサイズが32バイトのキャッシングアクセスと4バイトのノンキャッシングアクセスを有するCPU装置10と、4バイトアクセスができる入出力装置3の構成で動作説明をしたが、異なる転送量を有する複数のデータ処理装置なら32バイトと4バイトに限らない。

【0030】(4) 32バイトと4バイトの2種類のデータ転送量のみしか規定されていないバス構成としたため、サイズフィールド11-1-2は、1ビットのみでよかったが、3種類以上のそれぞれに対応してビットフィールドを増加させてもよいし、転送量自身を書き込むフィールドとしてもよい。

(5) 一方のデータ処理装置がキャッシュメモリ搭載のCPU装置10で、他方のデータ処理装置が入出力装置3である2台のデータ処理装置の構成で説明したが、少なくとも一方のデータ処理装置にキャッシュメモリが搭載され異なるデータ転送量の複数のデータ処理装置であれば、全てのデータ処理装置がCPU装置でも構わないし、全てのデータ処理装置が入出力装置でも構わない。また、メモリ装置2にアクセスすることが可能な装置であれば、DMAコントローラを用いたデータ処理装置であってもよい。

(6) 制御レジスタ11-1はCPU装置10内のバスアクセス制御部11に搭載されている例を説明したが、アクセス対象先であるメモリ装置2に搭載されている構成であってもよい。

### 【0031】

【発明の効果】以上詳細に説明したように、第1、第2の発明によれば、記憶回路にキャッシング空間へのアクセスする際のアドレスの一部又は全てをセーブしておき、ノンキャッシング空間の特定の領域へのアクセスを指定して、アクセス判定回路に特定の領域へのアクセスであるか否かを判定して、特定の領域へのアクセスであれば、記憶回路にセーブしたアドレスからメモリ装置にアクセスするアドレスを生成するようにしたので、メモリ装置に対してキャッシュメモリを介さずに直接リード／ライトすることができる。そのため、初期化専用ハードウェアが不要となることで、低価格なハードウェアを提供することができる。

### 【図面の簡単な説明】

【図1】本発明の実施形態のコンピュータシステムの構成図である。

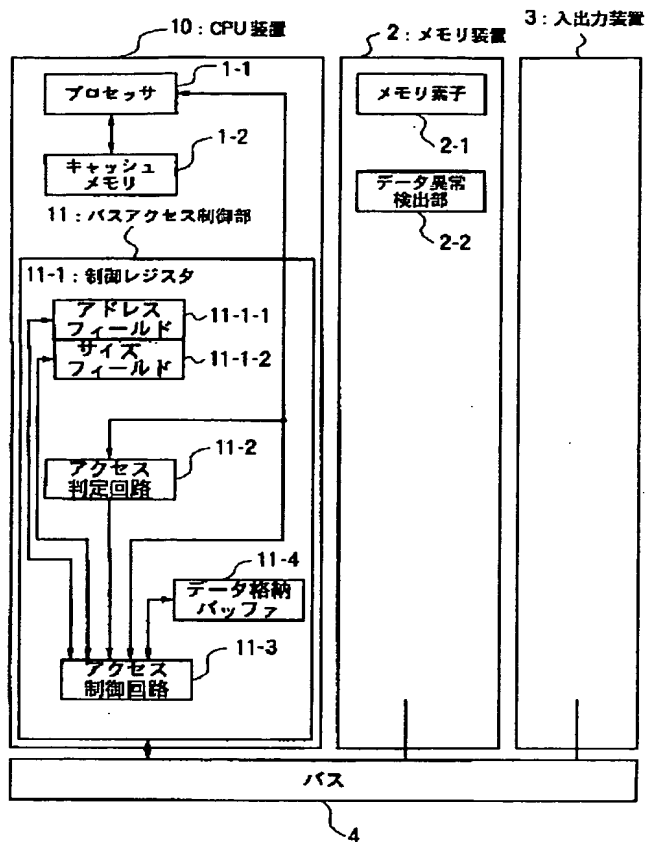
【図2】従来のコンピュータシステムの構成図である。

【図3】本発明の実施形態のメモリマップを示す図である。

### 【符号の説明】

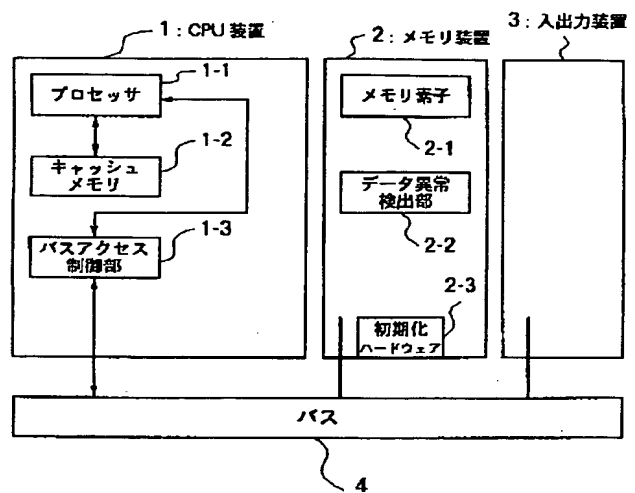
1, 10	CPU装置
1-1	プロセッサ
1-2	キャッシュメモリ
2	メモリ装置
2-1	メモリ素子
2-2	データ
3	入出力装置
4	バス
11	バスアクセス制御部
11-1	制御レジスタ
11-2	アクセス判定回路
11-3	アクセス制御回路
11-4	データ格納バッファ

【図1】



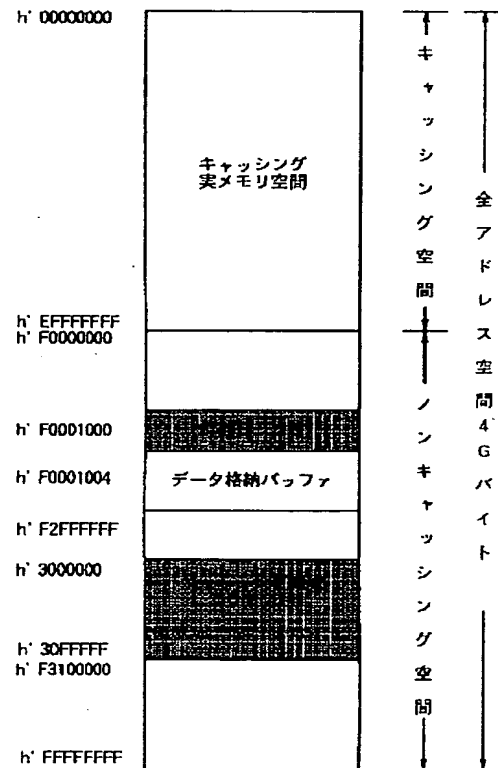
本発明の実施形態のコンピュータシステム

【図2】



従来のコンピュータシステム

【図3】



本発明の実施形態のメモリマップ

フロントページの続き

(72)発明者 伊東 尚和  
東京都港区虎ノ門 1 丁目 7 番12号 沖電気  
工業株式会社内